

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204150

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 27/04  
H01L 21/822

(21)Application number : 07-013143

(71)Applicant : NEC CORP

(22)Date of filing : 30.01.1995

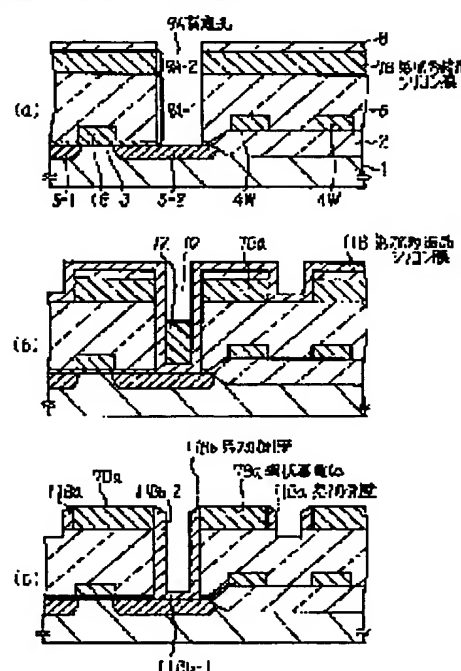
(72)Inventor : YOSHIDA NAOYUKI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

## (57)Abstract:

PURPOSE: To realize a cylindrical stuck condenser with a sidewall for securing a large condenser in a small area in a DRAM as well as enlarging focus margin in the case exposing the contact hole.

CONSTITUTION: After leaving a photoresist film 12 only on the bottom part of a contact hole by performing the whole surface exposure using the adjusted exposure level, the second polycrystalline silicon film 11B is etched back to form the first sidewall 11B and the second sidewall 11Bb. Through these procedures, a cylindrical stuck condenser with a sidewall can be realized. Besides, due to the existence of a glare shielding film made of a silicon dioxide films in the exposure time of a contact hole, the focus margin can be enlarged compared with the time when a polycrystalline silicon film is existent of the surface.



## LEGAL STATUS

[Date of request for examination] 30.01.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2848260

[Date of registration] 06.11.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-204150

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H01L 27/108

21/8242

27/04

21/822

7735-4M

H01L 27/10

621

C

審査請求 有 請求項の数4 O L (全7頁) 最終頁に続く

(21)出願番号 特願平7-13143

(22)出願日 平成7年(1995)1月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 吉田 直之

東京都港区芝五丁目7番1号 日本電気株

式会社内

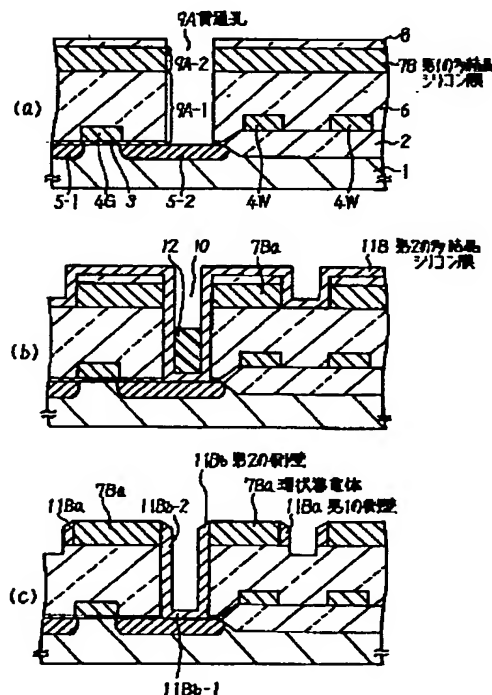
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 D R A Mにおいて、小さな占有面積で大きなキャパシタ面積を得るため、サイドウォール付きでかつ円筒型のスタック型キャパシタを実現する。また、コンタクトホール露光時のフォーカスマージンを拡大する。

【構成】 露光量を調整した全面露光を行うことにより、コンタクトホール底部にのみフォトレジスト膜(12)を残存せしめた後、第2の多結晶シリコン膜11Bをエッチバックして第1の側壁11Ba、第2の側壁11Bbを形成する。これによりサイドウォール付きかつ円筒型のスタック型キャパシタが実現できる。また、コンタクトホールの露光時に2酸化シリコン膜8でなる防眩膜が表面にあるため、多結晶シリコン膜が表面にある場合に比べてフォーカスマージンを拡大できる。



## 【特許請求の範囲】

【請求項1】 その表面部に選択的に形成された第1導電型不純物拡散層を有する第2導電型半導体基板上の絶縁膜の表面から前記第1導電型不純物拡散層に達して設けられたコンタクトホール上にこれと連結する開口を有して前記コンタクトホール周辺の前記絶縁膜の表面を被覆する第1の導電膜でなる環状導電体と、前記環状導電体の外周側面を被覆する第2の導電膜でなる第1の側壁と、前記コンタクトホールの底面を被覆する第1の部分ならびに前記コンタクトホールの側面および前記環状導電体の開口の側面を被覆するパイプ状の第2の部分とを有する第3の導電膜でなる第2の側壁とからなる下部電極を有するスタック型キャパシタを備えることを特徴とする半導体装置。

【請求項2】 第1、第2および第3の導電膜がいずれも第1導電型多結晶シリコン膜である請求項1記載の半導体装置。

【請求項3】 その表面部に選択的に形成された第1導電型不純物拡散層を有する半導体基板上に第1の絶縁膜、第1の導電膜および露光時の防眩膜となる第2の絶縁膜を順次に堆積したのち、フォトリソグラフィ技術により、前記第2の絶縁膜の表面から前記第1導電型不純物拡散層に達する貫通孔を設けることにより前記第1の導電膜および第1の絶縁膜にそれぞれ開口およびコンタクトホールを形成し、リソグラフィ技術により前記貫通孔の外側を囲む領域の前記第2の絶縁膜および第1の導電膜を除去して環状導電膜を形成する工程と、前記貫通孔に対応した溝が残る程度の厚さの第2の導電膜を全面に堆積し、フォトレジスト膜を形成し全面露光し現像することによって前記溝部に所定量残存させてエッチング用マスクを形成し、異方性エッチングにより前記第2の導電膜を選択的に除去するとともに前記第2の絶縁膜を除去し、前記エッチング用マスクを除去することにより、前記環状導電体の外周側面を被覆する第1の側壁と前記コンタクトホールの底面を被覆する第1の部分ならびに前記コンタクトホールの側面および前記環状導電体の開口の側面を被覆するパイプ状の第2の部分とを有する第2の側壁とを形成する工程とによりスタック型キャパシタの下部を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 第1および第2の導電膜がいずれも第1導電型多結晶シリコン膜であり、第2の絶縁膜が酸化シリコン膜である請求項3記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置およびその製造方法に関し、特にスタック型ダイナミックRAMおよびその製造方法に関する。

## 【0002】

【従来の技術】近年、LSIの高集積化に伴い、電荷を

蓄積するためのキャパシタ面積はますます小さくなり、ソフトエラーに強い充分な容量が得られなくなっている。単位占有面積あたりのキャパシタ面積を増加させるために、サイドウォール付きスタック構造や円筒型スタック構造のメモリセルが提案されている。

【0003】まずサイドウォール付きスタック型ダイナミックRAMについて図4、図5を参照して説明する。まず、図4(a)に示すように、P型シリコン基板1の表面に選択酸化法を用いて厚さ400nmのフィールド酸化膜2を形成して活性領域を区画する。次に、活性領域の表面にゲート酸化膜3を形成しゲート電極4G、ソース・ドレイン領域5-1、5-2を形成する。4Wは隣接するワード線の一部をなすゲート電極配線である。次に厚さ800nmのBPSG膜6を堆積した後に、N型不純物拡散層(ソース・ドレイン領域の一方5-2)にまで達する0.5μm角程度のコンタクトホール9を形成する。次に厚さ400nmの第1の多結晶シリコン膜7と厚さ100nmの2酸化シリコン膜8を順次堆積する。次に、リソグラフィ技術を用いて第1の多結晶シリコン膜7および2酸化シリコン膜8をパターニングする。2酸化シリコン膜8は、波長365nmのi線による露光時に多結晶シリコン膜の表面からの反射による悪影響を低減する防眩膜である。つまり2酸化シリコン膜8を設けない場合に比較してパターニング精度が向上する。ここで防眩膜というのは、多結晶シリコン膜に直接フォトレジスト膜を設けるときの界面の反射を低減するためのもので、理想的には反射防止膜が好ましいが、種々の材料上等の制約があるので、必ずしも反射を防止できなくてもよい。

【0004】次に、図4(b)に示すように、厚さ100nmの第2の多結晶シリコン膜11を堆積する。次に異方性エッチングにより第2の多結晶シリコン膜11を異方性の反応性イオンエッチングにより選択的に除去して、図4(c)に示すように、側壁11aを形成する。この場合、2酸化シリコン膜8のエッチング終点を分光分析法などで検出することにより、オーバーエッチングを避けることができる。次に、図5に示すように、誘電体膜12を形成し、多結晶シリコン膜でなる上部電極(セルプレート13)を形成する。

【0005】次に円筒型のスタック型ダイナミックRAMについて図6、図7を参照して説明する。図6(a)に示すように、BPSG膜6を堆積するところまでは、サイドウォール付きスタック型ダイナミックRAMの場合と同様である。次に厚さ300nmの第1の多結晶シリコン膜7Aを堆積する。次にN型不純物拡散層(5-2)に達する0.5μm角程度のコンタクトホール9を開孔する。

【0006】次に図6(b)に示すように、厚さ100nmの第2の多結晶シリコン膜11Aを堆積する。

【0007】次に図7(a)に示すように、リソグラフィ

イー技術を用いてバターニングしてキャパシタの下部電極の形成を終る。次に、図 7 ( b ) に示すように、誘電体膜 1 2 を形成し、セルプレート 1 3 を形成する。

【 0 0 0 8 】なお、円筒型なる語は厳密にいうと正しくない。一端が閉じられたパイプ型とでもいうべきであるが、ここでは慣用に従って円筒型と称することにする。

【 0 0 0 9 】

【発明が解決しようとする課題】上述したサイドウォール付きスタック構造は、隣接するメモリセルのキャパシタの下部電極の間隔 ( 図 4 ( c ) の d ) をリソグラフィの限界解像度より側壁 1 1 a の厚さの 2 倍分狭くすることができるため、キャパシタ面積を増大できる。しかし、下部電極がコンタクトホールを完全に埋めてしまっているため円筒型スタック構造に比較すると半導体基板の占有面積当りの容量値は大きくならない。

【 0 0 1 0 】また、円筒型スタック構造は、コンタクトホールの内壁部を積極的に容量値に寄与させているので占有面積当りの容量値を大きくできる。また、コンタクトホール形成のための露光時に反射率の高い多結晶シリコン膜があるので焦点合せを正確に行なわないと反射光の影響によりコンタクトホールの大きさがばらついてしまい、フォーカスマージンが狭くなり、再現性よく製造する上での障害がある。この問題点は、第 1 の多結晶シリコン膜 7 A を厚さ 1 0 0 n m の 2 酸化シリコン膜などの防眩膜で被覆してからコンタクトホールを形成すれば防止できる。しかし、そうすると、B P S G 膜上で下部電極の厚さが 2 酸化シリコン膜 ( 容量値に寄与しない ) 厚さだけ大きくなり、メモリセル部と周辺回路部との段差が増大し、後工程のアルミニウム系配線の形成が困難になってしまうので利用できない。

【 0 0 1 1 】ところでサイドウォール付円筒型のキャパシタを実現できれば容量値を増大できることは容易に着想されるところである。そこでまずサイドウォール付きを出発点にして円筒型化することを考えてみる。まず、第 1 の多結晶シリコン膜 7 の厚さを薄くしてコンタクトホールを埋めてしまわないようにしなければならないが、そうすると側壁 1 1 a の形成方法はさておいて仮令形成できたとしてもその高さが低くなってしまう。また、多結晶シリコン膜の高い反射率の悪影響をさけるための防眩膜の形成をどのように組み入れることができるかということが問題となる。

【 0 0 1 2 】次に、円筒型にサイドウォールをつけることを考えてみると、例えば第 1 の多結晶シリコン膜を形成し、コンタクトホールを形成し、更にバターニングしてから第 2 の多結晶シリコン膜を堆積し、異方性エッチングを行なうことによって一応形成可能である。その場合、多結晶シリコン膜の反射率の問題は残孔し、コンタクトホール底部で N 型拡散層 ( 5 - 2 ) が露出し損傷をうけるのを避ける工夫が必要となる。

【 0 0 1 3 】従って、本発明の目的は、サイドウォール

ル付きと円筒型の双方の利点を併せもつキャパシタを有する半導体装置およびそれを再現性よく実現できる製造方法を提供することにある。

【 0 0 1 4 】

【課題を解決するための手段】本発明の半導体装置は、その表面部に選択的に形成された第 1 導電型不純物拡散層を有する第 2 導電型半導体基板上の絶縁膜の表面から前記第 1 導電型不純物拡散層に達して設けられたコンタクトホール上にこれと連結する開口を有して前記コンタクトホール周辺の前記絶縁膜の表面を被覆する第 1 の導電膜でなる環状導電体と、前記環状導電体の外周側面を被覆する第 2 の導電膜でなる第 1 の側壁と、前記コンタクトホールの底面を被覆する第 1 の部分ならびに前記コンタクトホールの側面および前記環状導電体の開口の側面を被覆するパイプ状の第 2 の部分を有する第 3 の導電膜でなる第 2 の側壁とからなる下部電極を有するスタック型キャパシタを備えるというものである。

【 0 0 1 5 】ここで、第 1、第 2 および第 3 の導電膜をいずれも例えば第 1 導電型多結晶シリコン膜とすることができる。

【 0 0 1 6 】また、本発明の半導体装置の製造方法は、その表面部に選択的に形成された第 1 導電型不純物拡散層を有する半導体基板上に第 1 の絶縁膜、第 1 の導電膜および露光時の防眩膜となる第 2 の絶縁膜を順次に堆積したのち、フォトリソグラフィ技術により、前記第 2 の絶縁膜の表面から前記第 1 導電型不純物拡散層に達する貫通孔を設けることにより前記第 1 の導電膜および第 1 の絶縁膜にそれぞれ開口およびコンタクトホールを形成し、フォトリソグラフィ技術により、前記貫通孔の外側を囲む領域の前記第 2 の絶縁膜および第 1 の導電膜を除去して環状導電膜を形成する工程と、前記貫通孔に対応した溝が残る程度の厚さの第 2 の導電膜を全面に堆積し、フォトリソグラフィ技術により全面露光し現像することによって前記溝部に所定量残存させてエッチング用マスクを形成し、異方性エッチングにより前記第 2 の導電膜を選択的に除去するとともに前記第 2 の絶縁膜を除去し、前記エッチング用マスクを除去することにより、前記環状導電体の外周側面を被覆する第 1 の側壁と前記コンタクトホールの底面を被覆する第 1 の部分ならびに前記コンタクトホールの側面および前記環状導電体の開口の側面を被覆するパイプ状の第 2 の部分を有する第 2 の側壁とを形成する工程とによりスタック型キャパシタの下部を形成する工程を有するというものである。

【 0 0 1 7 】ここで、第 1 および第 2 の導電膜をいずれも例えば第 1 導電型多結晶シリコン膜とし、第 2 の絶縁膜を酸化シリコン膜とすることができる。

【 0 0 1 8 】

【作用】下部電極がコンタクトホール上に開口を有する環状導電体と、環状導電体の外周側面を被覆する第 1 の側壁 ( サイドウォール ) と、コンタクトホールの内壁を

被覆する第2の側壁とからできているので、従来の円筒型の下部電極の外周に第1の側壁を設けたものと同じ表面積にできる。

【0019】第1の導電膜の表面を第2の絶縁膜でなる防眩膜で被覆してからコンタクトホールを設け、パターニングするので露光時の反射光の影響を軽減できる。更に、溝部にエッチング用マスクを形成してから異方性ドライエッチングを行なって、第1、第2の側壁を形成するのでコンタクトホール底面に第2の導電膜を残すことができる。また、この異方性ドライエッチングで第2の導電膜を残すことができる。また、この異方性ドライエッチングで第2の絶縁膜を除去できるばかりでなく、この第2の絶縁膜のエッチング終点を検出すれば、オーバーエッチングにより側壁の高さが低くなるのを避けることができる。

【0020】

【実施例】次に本発明について図面を参照して説明する。

【0021】図1(a)～(c)、図2は本発明の一実施例について説明するための工程順に示す半導体チップの縦断面図である。

【0022】まず、図1(a)に示されるようにP型シリコン基板1の表面に選択酸化法を用いて厚さ400nmのフィールド酸化膜2を形成して活性領域を区画する。次に活性領域の表面にゲート酸化膜3を形成し、多結晶シリコン膜やポリサイド膜などを形成しパターニングすることによりゲート電極4Gやゲート電極配線4Wを形成する。ここで、活性領域上でゲート電極と称し、フィールド酸化膜上に延在している部分をゲート電極配線と称している。これらのものは、ワード線の一部をなしている。図示した4Gと4Wは隣接するワード線に属している。次にイオン注入法を利用してソース・ドレイン領域5-1、5-2(N型不純物拡散層)を形成する。次に厚さ800nmのBPSSG膜6を堆積した後、厚さ400nmのN型にドーピングされた第1の多結晶シリコン膜7Bを堆積する。次に厚さ100nmの2酸化シリコン膜を堆積する。次にN型拡散層5-2にまで達する0.5μm角程度の貫通孔9Aを形成する。ここで貫通孔のBPSSG膜6以下の部分をスルーホール9A-1、第1の多結晶シリコン膜7B部分を開口9A-2と称することにする。この貫通孔9Aを形成するためのi線を使用したフォトリソグラフィ工程で、第1の多結晶シリコン膜7Bの表面を防眩膜(8)で被覆した状態でフォトレジスト膜の露光を行なうのでフォーカスマージンが狭くなるのは避けられる。

【0023】次に図1(b)に示すように、リソグラフィ技術を用いて2酸化シリコン膜8および第1の多結晶シリコン膜7Bをパターニングして、環状導電体7Baを形成する。このときも、2酸化シリコン膜8が防眩膜として作用するので精度のよいパターニングができ

る。

【0024】次に厚さ100nmのN型にドーピングされた第2の多結晶シリコン膜11Bを堆積した後、フォトレジスト膜を塗布法で形成し、露光量を調整して全面露光を行い、厚さ500nm程度のフォトレジスト膜を貫通孔9Aに対応する溝10の底部にのみエッチング用マスク12として残存させる。続いて第2の多結晶シリコン膜8および2酸化シリコン膜8を異方性エッチング(HBrとCl<sub>2</sub>の混合ガスを使用する反応性イオンエッチング)で除去することにより、図1(c)に示すように第1の側壁11Ba、第2の側壁(11Bb-1、11Bb-2)を形成する。このエッチングの終点の検出は分光分析により、例えばSiがエッチングされるときに発光する光を検出して行なう。この発光強度は第2の多結晶シリコン膜11Bの平坦部がエッチングされるときに強くなり、2酸化シリコン膜8がエッチングされ始めると弱くなり、第1の多結晶シリコン膜7Bがエッチングされ始めると再び強くなるので、その時点でエッチングを中止すればよい。このようにして、オーバーエッチングを最小限に留めることができる。また、溝10の底部にはエッチング用マスク12があるのでコンタクトホール底部の第2の多結晶シリコン膜はエッチバックされずに残っている。次にフォトレジスト膜(12)を剥離する。

【0025】次に、図2に示すように、誘電体膜12を形成し、セルプレート13を形成する。

【0026】こうして形成された半導体装置は、その表面部に選択的に形成されたN型不純物拡散層5-1、5-2を有するP型シリコン基板1上のBPSSG膜6の表面からN型不純物拡散層5-2に達して設けられたコンタクトホール9A-1上にこれと連結する開口9A-2を有してコンタクトホール9A-1周辺のBPSSG膜6の表面を被覆する第1の多結晶シリコン膜でなる環状導電体7Baと、環状導電体7Baの外周側面を被覆する第2の多結晶シリコン膜でなる第1の側壁11Baと、コンタクトホール9A-1の底面を被覆する第1の部分11Bb-1ならびにコンタクトホール9A-1の側面および環状導電体7Ba被覆するパイプ状の第2の部分11Ba-2を有する第3の多結晶シリコン膜でなる第2の側壁とからなる下部電極を有するスタック型キャパシタを備えるというものである。

【0027】本実施例の容量値の増大について従来例と比較して説明する。図3は各種のキャパシタの下部電極の容量値に寄与する面積(キャパシタ面積)を見積るための斜視図である。

【0028】単純スタック型(図5で側壁11aのないもの)では、図3(a)に示す直方体の表面積から底面の面積を引いたものがキャパシタ面積であり、4.4μm<sup>2</sup>となる。円筒型(図7(b))では図3(b)に示すように、これに、0.3μm角、高さ1.1μmの角

柱の側面の面積が加わり、 $5.92\mu\text{m}^2$  となる。サイドウォール付(図5)では、図3(c)に示すように、側壁の厚さが $0.1\mu\text{m}$ とすると、 $5.36\mu\text{m}^2$  となる。本実施例のものでは、図3(d)に示すように、これに $0.3\mu\text{m}$ 角、高さ $1.1\mu\text{m}$ の角柱の側面の面積 $1.52\mu\text{m}^2$ が加わり、 $6.85\mu\text{m}^2$  となる。これは、サイドウォール付きの1.28倍、円筒型の1.16倍にあたる。

【0029】以上、第1、第2の側壁を形成するための異方性エッチングで2酸化シリコン膜を除去してしまう例について述べた。この異方性エッチングを2酸化シリコン膜8の表面が露出した時点で中止し、次いで2酸化シリコン膜を選択エッチングしてもよい。そうすると、環状導電体7Baの表面から約100nm上方に伸びた第1、第2の側壁を形成できるので容量値を大きくするのにも有利である。

【0030】防眩膜としては2酸化シリコン膜のほか窒化チタン膜を用いることができる。第1、第2の導電膜としては多結晶シリコン膜のほかタングステンやモリブデン膜などの高融点金属膜を用いることができる

【発明の効果】以上説明したように本発明による半導体装置はサイドウォール付きでかつ円筒型のスタック型キャパシタを有しているので、キャパシタ面積を増大させることができ、小さい表面積でも十分なキャパシタ容量を確保して、ソフトエラーに強いDRAMを得ることができる。

【0031】また、本発明による半導体装置の製造方法では、コンタクトホール1の環状導電体を形成するときの露光時に第1の導電膜の表面が防眩膜で被覆されているので、フォーカスマージンの拡大あるいは正確なパターンニングが可能となり均一なキャパシタを再現性よく形成できる。この防眩膜は第1、第2の側壁を形成するための反応性イオンエッチングの終点の検出に利用できる。またこのエッチング時にコンタクトホールに対応する溝の底面をフォトリソ膜でなるエッチング用マスクで保護しているので第1導電膜不純物拡散層が損傷するのを防ぐことができる。このように、本発明の半導体装置の製造方法は防眩膜を有効に使用して再現性よくサイドウォール付きの円筒型スタック構造のキャパシタを有す

るDRAMなどの半導体装置が得られる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例について説明するための(a)~(c)に分図して示す工程順断面図である。

【図2】図1に続いて示す断面図である。

【図3】各種のキャパシタのキャパシタ面積の見積りをするための斜視図である。

【図4】サイドウォール付きスタック構造のDRAMについての説明のための(a)~(c)に分図して示す工程順断面図である。

【図5】図4に続いて示す断面図である。

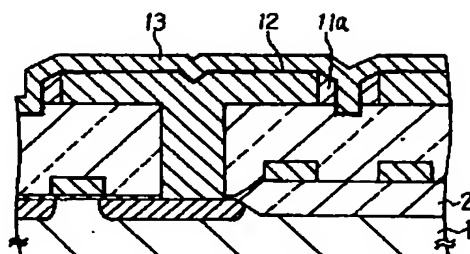
【図6】円筒型スタック構造のDRAMについての説明のための(a),(b)に分図して示す工程順断面図である。

【図7】図6に続いて(a),(b)に分図して示す工程順断面図である。

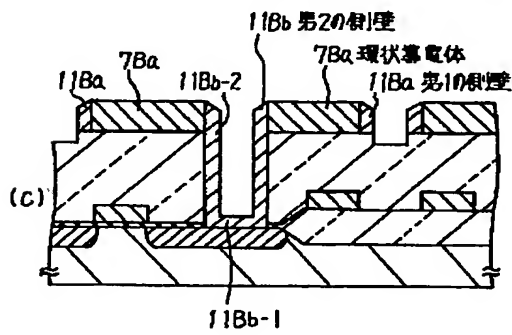
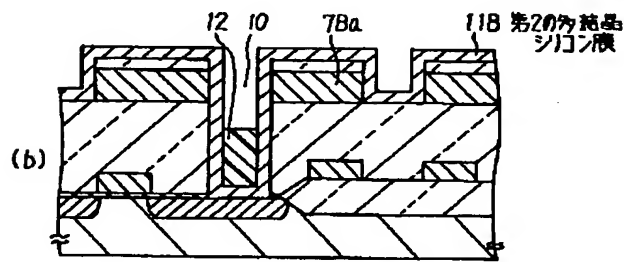
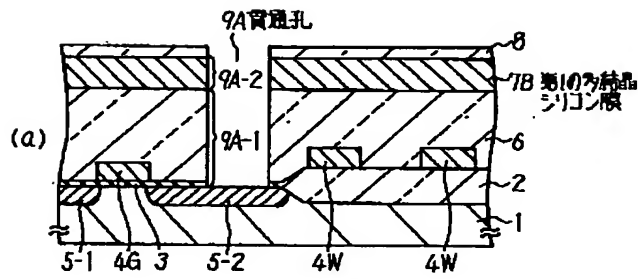
【符号の説明】

- |              |                      |
|--------------|----------------------|
| 1            | P型シリコン基板             |
| 2            | フィールド酸化膜             |
| 3            | ゲート酸化膜               |
| 4G           | ゲート電極                |
| 4W           | ゲート電極配線              |
| 5-1, 5-2     | ソース・ドレイン領域(N型不純物拡散層) |
| 6            | BPSG膜                |
| 7, 7A, 7B    | 第1の多結晶シリコン膜          |
| 8            | 2酸化シリコン膜             |
| 9, 9A-1      | コンタクトホール             |
| 9A           | 貫通孔                  |
| 9A-2         | 開口                   |
| 10           | 溝                    |
| 11, 11A, 11B | 第2の多結晶シリコン膜          |
| 11a          | 側壁(サイドウォール)          |
| 11Ba         | 第1の側壁                |
| 11Bb-1       | 第2の側壁の第1の部分          |
| 11Bb-2       | 第2の側壁の第1の部分          |
| 12           | 誘電体膜                 |
| 13           | セルプレート               |

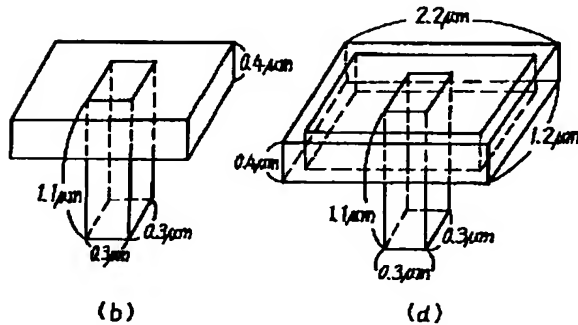
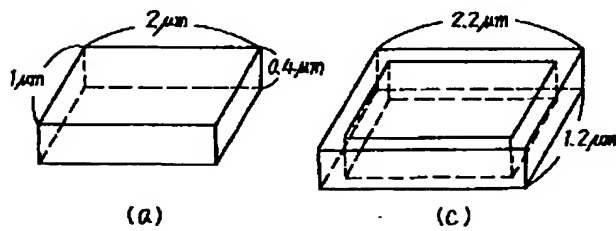
【図5】



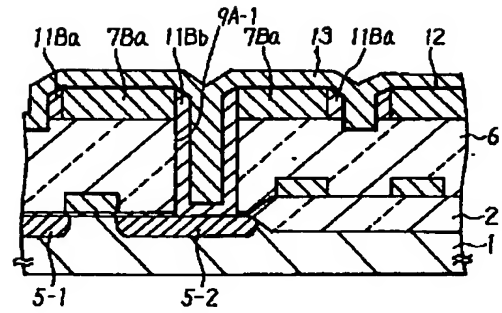
【図1】



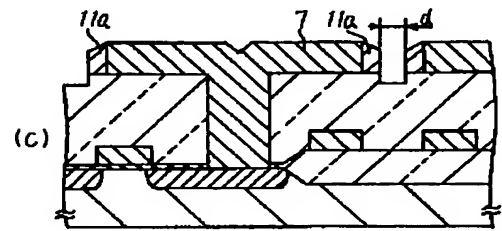
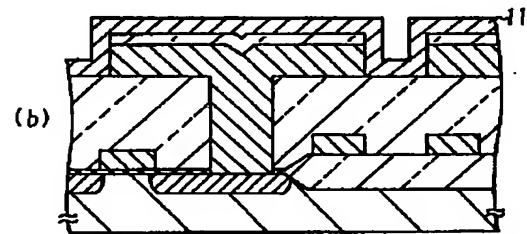
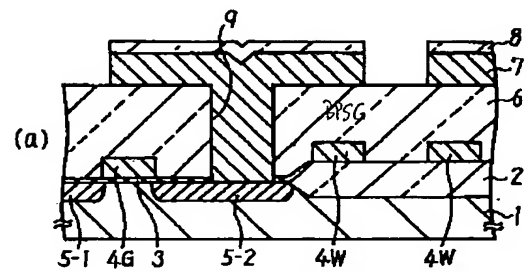
【図3】



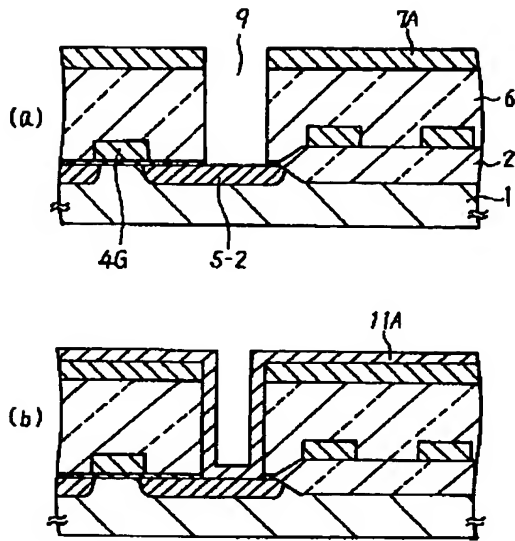
【図2】



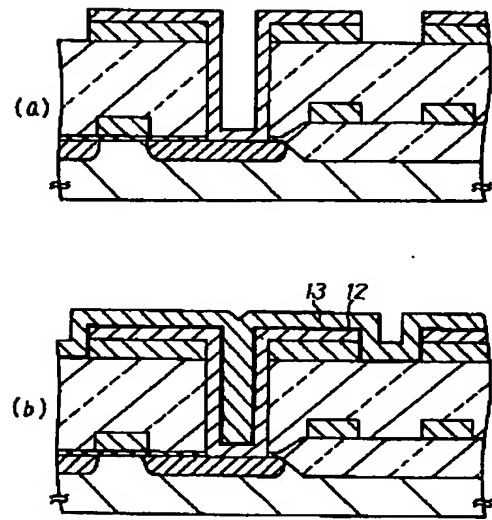
【図4】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

27/04

C